



## 【特許請求の範囲】

【請求項1】 デコーダ側で使用されるクロック信号の位相と、入力信号に含まれる基準時間情報の位相との差分値に基づいて前記クロック信号の同期処理を行う位相同期回路において、

前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であるか否かを判定する判定手段と、前記判定手段の判定結果に基づき同期処理の応答感度を変更する変更手段とを備えたことを特徴とする位相同期回路。

【請求項2】 前記変更手段は、前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号である場合には同期処理の応答感度を所定値より低くすることを特徴とする請求項1記載の位相同期回路。

【請求項3】 前記判定手段は、前記差分値の絶対値がある閾値より大きくなる期間が所定期間以上続いた場合、あるいは前記絶対値がある閾値より大きくなる確率が所定値以上となった場合に、前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であると判定することを特徴とする請求項1記載の位相同期回路。

【請求項4】 前記判定手段は、前記差分値の絶対値を算出する絶対値算出部と、算出した差分絶対値を第1の閾値と比較し、第1の閾値より大きい場合にはアップカウンタ、小さい場合にはダウンカウンタするアップダウンカウンタと、前記アップダウンカウンタのカウント値を第2の閾値と比較し、第2の閾値より大きい場合には前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であると判定し、小さい場合には前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号ではないと判定する比較器とを備えたことを特徴とする請求項1記載の位相同期回路。

【請求項5】 前記判定手段は、前記差分値の絶対値を算出する絶対値算出部と、算出した差分絶対値を所定数集めて平滑化処理する平滑部と、前記平滑部の出力の大小に応じて前記入力信号が前記クロック信号の位相に揺らぎを生じさせる程度を判定し、判定結果に応じた制御信号を発生する制御信号発生部とを備えたことを特徴とする請求項1記載の位相同期回路。

【請求項6】 前記判定手段は、入力信号の有効・無効を表わすデータを入力として、無効データが入力される期間が所定期間以上続いた場合、あるいは無効データが入力される確率が所定値以上となった場合に、前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であると判定することを特徴とする請求項1記載の位相同期回路。

【請求項7】 前記判定手段は、入力信号の有効・無効を表わすデータを入力として、無効データが入力する期間を求め、求めた期間を第1の閾値と比較し、第1の閾値より大きい場合には無効データが入力する毎にアップカウンタ、小さい場合にはダウンカウンタするアップダ

ウンカウンタと、前記アップダウンカウンタのカウント値を第2の閾値と比較し、第2の閾値より大きい場合には前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であると判定し、小さい場合には前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号ではないと判定する比較器とを備えたことを特徴とする請求項1記載の位相同期回路。

【請求項8】 前記判定手段は、入力信号の有効・無効を表わすデータを入力とし、無効データが入力する期間を所定数集めて平滑化処理する平滑部と、前記平滑部の出力の大小に応じて前記入力信号が前記クロック信号の位相に揺らぎを生じさせる程度を判定し、判定結果に応じた制御信号を出力する制御信号発生部とを備えたことを特徴とする請求項1記載の位相同期回路。

【請求項9】 前記変更手段における応答感度の変更は、同期処理に用いられる低域通過フィルタの通過帯域の変更により行うことを特徴とする請求項1記載の位相同期回路。

【請求項10】 前記変更手段における応答感度の変更は、同期処理に用いられる係数器の乗算係数の変更により行うことを特徴とする請求項1記載の位相同期回路。

【請求項11】 入力信号の有効・無効を表わすデータを入力とし、無効データが入力する期間を所定数集めて平滑化処理する平滑部と、前記平滑部の出力に基づいて前記クロック信号の時刻ずれ量を算出する時刻ずれ量算出部と、算出した時刻ずれ量に基づいて前記クロック信号の補正する補正手段とを備えたことを特徴とする請求項1記載の位相同期回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、放送衛星や地上波を利用するデジタル放送、ケーブルを利用するケーブルテレビ（以下、CATVと記す）放送、あるいはDVD等で用いられるMPEG規格で圧縮されたプログラムストリームあるいはトランスポートストリームを復調するMPEGデコーダ等に使用される位相同期回路に関するものである。

【0002】

【従来の技術】図10は、一般に使用されている従来のMPEGデコーダを使用したデジタル衛星放送受信機のブロック図である。図において、101は受信信号を入力する入力端子、102は入力端子1からの受信信号を入力するチューナ・モジュール、103はチューナ・モジュール102からの出力を入力とするデスクランブラ、104はデスクランブラ103からの出力を入力とするMPEGデマルチプレクサ、105はMPEGデマルチプレクサ104からの出力を入力とするMPEGビデオデコーダ、106はMPEGデマルチプレクサ104からの出力を入力とするMPEGオーディオデコーダ、107はMPEGビデオデコーダ105からの出力

を入力とするNTSCエンコーダ、108はNTSC信号を出力する出力端子、109はMPEGオーディオデコーダからの出力を入力とするD/Aコンバータ、110はアナログ音声信号を出力する出力端子、111は制御用CPUである。

【0003】受信機における信号処理を説明すると、まず、衛星放送受信アンテナで受信した衛星波が、入力端子101からチューナ・モジュール102へに入力される。チューナ・モジュール102は、受信トランスポンダの切り替え、復調、誤り訂正の復号などを行い、個別のデータ列（ストリーム）が多重化されたMPEGトランスポート・ストリームを抽出する。このトランスポート・ストリーム（以下、TSと記す）は、デスクランブラ103に入力され暗号解除されて、MPEGデマルチプレкса104に転送される。MPEGデマルチプレкса104は、視聴者の選局操作に基づくプログラム仕様情報（Program Specific Information：以下、PSIと記す）を受信し、TSから必要な映像データと音声データを抽出し、MPEGビデオデコーダ105及びMPEGオーディオデコーダ106に送出する。MPEGビデオデコーダ105は、映像データの圧縮を解除し、NTSCエンコーダ107によりNTSC信号に変換して出力端子108よりテレビ受像機へNTSC信号を出力する。MPEGオーディオデコーダ106は、音声データの圧縮を解除し、D/Aコンバータ109によりアナログ音声信号に変換して、出力端子110よりテレビ受像機へ出力する。制御用CPU111は、これら一連の処理を制御する。

【0004】なお、CATVにおいても、ケーブルを介して受信したデジタル信号が上記と同様の処理をされてテレビ受像機へ出力される。このように、MPEGデマルチプレкса104は、受信した衛星波に含まれるMPEGのTSを映像データ、オーディオデータ、その他の制御データに分解する機能を有している。また、一方で、MPEGデマルチプレкса104、MPEGビデオデコーダ105、MPEGオーディオデコーダ106、NTSCエンコーダ107で使用するクロック信号の再生処理を行う機能も有している。

【0005】このクロック信号の再生処理とは、放送事業者側で映像データや音声データを符号化して圧縮するMPEGエンコーダ（符号化装置）と、視聴者側で映像データや音声データの圧縮を解除するMPEGデコーダ（復号化装置）との間で共通の時間管理、すなわち同期をとる処理である。次に、クロック信号の再生処理について説明する。

【0006】図11は、クロック信号の再生処理に用いられる位相同期回路の構成を示すブロック図である。図において、1はTS信号が入力する入力端子、2は入力端子1から入力したTS信号内に含まれているプログラム時刻基準参照値（Program Clock Reference：以下、P

CRと記す）から、後述するカウンタ部9より出力する、MPEGデコーダにおいて時刻標準となる同期信号の値（System Time Clock：以下、STCと記す）を減算する減算部（位相比較部）、3は減算部2の出力するデジタル信号をアナログ信号に変換するデジタル／アナログ変換部（以下、D/A変換部と記す）、4はD/A変換部3の出力を入力とする第1のローパスフィルタ（以下、第1のLPFと記す）、7は第1のLPF4の出力を入力とする電圧制御発振部（Voltage Control Oscillator：以下、VCOと記す）、8はクロックを後段回路に出力する出力端子。9はVCO7が出力するクロックをカウントするカウンタ部である。

【0007】位相同期回路におけるクロック信号の再生処理には、TSから抽出、分離されたPCRが用いられる。このPCRは、ビデオデコーダ105及びオーディオデコーダ106を含むMPEGデコーダにおいて、STCの値を放送業者側のMPEGエンコーダ側で意図した値、すなわち、MPEG2の場合では27MHzのクロック周波数に設定、補正するための情報であり、特定のストリームの中に42ビットの長さで含まれている。クロック信号CLKの再生処理について説明すると、まず、特定のストリームから抽出したPCRの値を、そのままカウンタ部9に書き込み（設定し）、カウンタ部9から出力されるSTCとPCRとを同期状態（同じ値）として初期化する。カウンタ9は書き込まれたPCRを初期値とし、VCO7から出力される受信クロックをカウントしてカウントアップしていく。次のPCRが入力されると、減算部2においてPCRを受信した時のカウンタ部9からのSTCとの減算処理を行う。PCR及びSTC両者のクロック信号の位相が完全に一致している場合には、減算部の出力は0となる。一方、両者の位相が相違する場合には、その差分をD/A変換部3及び第1のLPF4を介して電圧信号に変換してVCO7に印加する。この電圧信号によりVCO7から出力されるクロック信号CLKの周波数が補正されることにより、CLKの位相補正される。カウンタ部9は、VCO7から出力されるクロック信号CLKによりカウントアップするように構成されているので、VCO7の出力変化に応じてカウント値、すなわち、STCの位相が制御される。

【0008】このように、PCRに基づいてクロック信号を再生処理することにより、MPEGデコーダ側のクロック信号CLKの位相を、MPEGエンコーダ側と正確に一致させることができる。そのため、ビデオデコーダ105及びオーディオデコーダ106に付属して設けられるバッファメモリのデータ量がオーバフロー、アンダーフロー状態となることを防止することができ、また、再生出力の時刻管理情報（Presentation Time Stamp：以下、PTSと記す）を用いた映像データと音声データの同期をとることができる。このような位相同期回路によるクロック信号の再生処理は、ストリーム中のP

CRが正確に生成されていることを前提としている。

【0009】

【発明が解決しようとする課題】ところで、多数の個別のストリームを時分割多重化したパケット（トランスポート・ストリームパケット：以下、TSパケットと記す）の構造は、ビデオエレメンタリーストリーム、オーディオエレメンタリーストリームを含んだパケットエレメンタリー・ストリーム（Packetized Elementary Stream：以下、PESと記す）パケットや、PESパケットとは異なる階層でPSI、PCR等から含まれる多重階層構造を有している。

【0010】そのため、MPEGエンコーダ側において、入力されたデータから直接TSパケットを生成する場合、PCRを作成して挿入することは容易に行うことができるが、エレメンタリーストリームまたはPESパケットのデータのみを合成して、TSパケットを生成しようとする、PCRがTSパケットのレベルで含まれているため、エレメンタリーストリームが作成された時のクロックの位相が反映されず、正確なPCRを作成して挿入することができない。

【0011】また、通信網の関係から他の情報と時分割で多重して伝送するために伝送速度を上げて伝送する通信網を介しているような場合、送信側では、送信基準クロック源からの基準周波数のクロックに基づいて計時するカウンタからランダムな間隔で時刻が読出され、時刻情報PCRとして通信網に送信される。

【0012】この時刻情報PCRは、所定間隔100ms以内のランダムな間隔でカウンタから読出されるもので、その値は直前の読出しからの時刻Tを示す。受信側では、上記通信網を介して時刻情報を受信時刻情報として受信し、位相同期回路により受信クロックが再生される。このとき伝送信号は伝送速度を上げて伝送した場合、TSデータは有効データ期間信号と共に上記有効データ期間信号で示される期間に時間圧縮されバースト的に伝送されることになり時刻情報に時間的ずれが生じ、受信時刻情報の到着時刻が変動する。また、上記は、TSについて説明したが、プログラムストリームの場合も同様であり、上記プログラムストリームの場合はシステム時刻基準参照値（System Clock Reference：以下、SCRと記す）は、所定間隔700ms以内のランダムな間隔で同様にカウンタから読出されるもので、その値は直前の読出しからの時刻Tを示す。受信側では、上記通信網を介して時刻情報を受信時刻情報として受信し、位相同期回路により受信クロックが再生される。

【0013】上記のような時刻情報の到着時刻の変動は、STCの位相の揺らぎ（ジッタ）として現れ、従来の位相同期回路ではこの種の位相の揺らぎを抑制できないことから、上記のような通信網での伝送信号は安定した受信動作ができないという問題点があった。

【0014】また、上述のような問題点の解消に例えば

ITU-T勧告H.220.0では、受信されたデータをバッファし、受信データのシンタックス中に示されている伝送レートを使ってバッファから近似的に一定のレートで伝送する方法が開示されているが、上記伝送レートは正確なレートを示しているわけではないのでバッファを付加することに加えてバッファ内のデータの充足度を監視し制御しなければならないという問題点があった。

【0015】この発明は、上述のような課題を解消するためになされたもので、サンプリング周波数近傍で位相の揺らぎが発生する場合でも精度良くクロックを再生することにより、ビデオデコーダ105及びオーディオデコーダ106に付属して設けられるバッファメモリのデータ量がオーバーフロー、アンダーフロー状態となることを防止することができるとともに、再生出力のPTSを用いた映像データと音声データの同期をとることができる位相同期回路を提供することを目的としている。

【0016】

【課題を解決するための手段】本発明に係る位相同期回路は、デコーダ側で使用されるクロック信号の位相と、入力信号に含まれる基準時間情報の位相との差分値に基づいて前記クロック信号の同期処理を行う位相同期回路において、前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であるか否かを判定する判定手段と、前記判定手段の判定結果に基づき同期処理の応答感度を変更する変更手段とを備えたことを特徴とする。

【0017】また、本発明に係る位相同期回路は、前記変更手段を、前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号である場合には同期処理の応答感度を所定値より低くするように構成したことを特徴とする。

【0018】また、本発明に係る位相同期回路は、前記判定手段を、前記差分値の絶対値がある閾値より大きくなる期間が所定期間以上続いた場合、あるいは前記絶対値がある閾値より大きくなる確率が所定値以上となった場合に、前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であると判定するように構成したことを特徴とする。

【0019】また、本発明に係る位相同期回路は、前記判定手段を、前記差分値の絶対値を算出する絶対値算出部と、算出した差分絶対値を第1の閾値と比較し、第1の閾値より大きい場合にはアップカウント、小さい場合にはダウンカウントするアップダウンカウンタと、前記アップダウンカウンタのカウント値を第2の閾値と比較し、第2の閾値より大きい場合には前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であると判定し、小さい場合には前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号ではないと判定する比較器から構成したことを特徴とする。

【0020】また、本発明に係る位相同期回路は、前記

判定手段を、前記差分値の絶対値を算出する絶対値算出部と、算出した差分絶対値を所定数集めて平滑化处理する平滑部と、前記平滑部の出力の大小に応じて前記入力信号が前記クロック信号の位相に揺らぎを生じさせる程度を判定し、判定結果に応じた制御信号を発生する制御信号発生部とから構成したことを特徴とする。

【0021】また、本発明に係る位相同期回路は、前記判定手段を、入力信号の有効・無効を表わすデータを入力として、無効データが入力される期間が所定期間以上続いた場合、あるいは無効データが入力される確率が所定値以上となった場合に、前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であると判定するように構成したことを特徴とする。

【0022】また、本発明に係る位相同期回路は、前記判定手段を、入力信号の有効・無効を表わすデータを入力として、無効データが入力する期間を求め、求めた期間を第1の閾値と比較し、第1の閾値より大きい場合には無効データが入力する毎にアップカウント、小さい場合にはダウンカウントするアップダウンカウンタと、前記アップダウンカウンタのカウント値を第2の閾値と比較し、第2の閾値より大きい場合には前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号であると判定し、小さい場合には前記入力信号が前記クロック信号の位相に揺らぎを生じさせる信号ではないと判定する比較器とから構成したことを特徴とする。

【0023】また、本発明に係る位相同期回路は、前記判定手段を、入力信号の有効・無効を表わすデータを入力とし、無効データが入力する期間を所定数集めて平滑化处理する平滑部と、前記平滑部の出力の大小に応じて前記入力信号が前記クロック信号の位相に揺らぎを生じさせる程度を判定し、判定結果に応じた制御信号を出力する制御信号発生部とから構成したことを特徴とする。

【0024】また、本発明に係る位相同期回路は、前記変更手段における応答感度の変更を、同期処理に用いられる低域通過フィルタの通過帯域の変更により行うように構成したことを特徴とする。

【0025】また、本発明に係る位相同期回路は、前記変更手段における応答感度の変更を、同期処理に用いられる係数器の乗算係数の変更により行うように構成したことを特徴とする。

【0026】また、本発明に係る位相同期回路は、入力信号の有効・無効を表わすデータを入力とし、無効データが入力する期間を所定数集めて平滑化处理する平滑部と、前記平滑部の出力に基づいて前記クロック信号の時刻ずれ量を算出する時刻ずれ量算出部と、算出した時刻ずれ量に基づいて前記クロック信号の補正する補正手段とをさらに備えるように構成したことを特徴とする。

【0027】

【発明の実施の形態】以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

実施の形態1. 図1はこの発明の実施の形態1であるMPEGデータ受信装置の位相同期回路を示すものである。同図において、1はTS信号に含まれるPCRが入力する入力端子、2は入力したPCRから、後述するカウンタ部9より出力するSTCを減算する減算部、3は減算部2の出力するデジタル信号値をアナログ信号に変換するD/A変換部、4はD/A変換部3の出力を入力とする第1のLPF、5はD/A変換部3の出力を入力とする第2のLPF、6は後述する比較器17の出力に基づき第1のLPF4の出力と第2のLPF5の出力とを切り替えて出力するスイッチ部であって、該スイッチ部により位相同期回路の応答感度の変更される。7はスイッチ部6の出力を入力とするVCO、8はVCOから出力する受信クロックを出力する出力端子、9はVCOから出力する受信クロックをカウントするカウンタ部、10はカウンタ部9から出力するSTCを後段に出力する出力端子、11は減算器2から出力するデジタル信号値を入力とする絶対値算出部、12は任意の値を示す閾値、13は絶対値算出部11の出力と閾値12を入力とする比較器、14は後述するアップ・ダウンカウンタ15の初期値、15は比較器13の出力と初期値14を入力とするアップ・ダウンカウンタ、16は任意の値を示す閾値、17はアップ・ダウンカウンタ15の出力と閾値16を入力とする比較器である。絶対値算出部11乃至比較器17により判定手段を構成する。

【0028】減算部2は、入力端子1から入力するPCRと、カウンタ部9から出力されるSTCとの減算処理を行う。PCR及びSTC両者のクロック信号の位相が完全に一致している場合には、減算部2の出力は0となる。一方、両者の位相が相違する場合には、その差分値がD/A変換部3及び絶対値算出部11に出力する。D/A変換部3の出力は、判定手段からの判定信号によりスイッチ部6で切り替えられる特性の異なった第1のLPF4と第2のLPF5のいずれか一方を介して電圧信号に変換されVCO7に印加される。VCO7は前記電圧信号により受信クロックの周波数を補正することにより、位相を補正して出力端子8に出力する。カウンタ部9は、VCO7から出力される受信クロックをカウントアップするように構成されているので、VCO7の出力変化に応じてカウント値、すなわち、STCの位相が制御される。

【0029】絶対値算出部11は、減算部2から出力される差分値の絶対値を算出し、比較器13によりこの差分値の絶対値が任意の閾値12より大きい場合はPCRが到来する毎にアップ・ダウンカウンタ15をカウントアップさせ、小さい場合にはカウントダウンさせる。比較器17はアップ・ダウンカウンタ15のカウント値が任意の閾値16より小さい場合には従来例と同様の第1のLPF4を電圧信号が通過するようにスイッチ部6を切り替え、大きい場合には第1のLPF4と比べより低

い帯域のみを通過させる第2のLPF5を電圧信号が通過するようにスイッチ部6を切り替える。なお、アップ・ダウンカウンタ15は、新たなTSが入力され位相同期回路が同期処理を開始する毎に初期値を初期設定するものとする。

【0030】以上の動作により、TSデータが伝送信号処理等により時間圧縮されバースト的に伝送されることによりPCRの到着時刻に時間的ずれが生じ、上記PCRとMPEGデコードのSTCとの差分値の絶対値が任意の閾値12より大きく算出される確率が増えたとアップ・ダウンカウンタのカウント15の値が大きくなり、この値が任意の閾値16より大きくなると、判定手段はSTCの位相の揺らぎ（ジッタ）を生じさせるTSデータが入力されていると判定し、位相同期回路のループフィルタであるLPFを低感度である第2のLPF5に切り替える。これにより、位相同期回路は低感度な応答をする同期処理を行い位相の揺らぎを抑制できる。

【0031】実施の形態2. 図2はこの発明の実施の形態2であるMPEGデータ受信装置の位相同期回路を示すものである。同図において、18は入力するTS信号のうち有効データが入力されている期間を示す有効データ期間信号を入力する入力端子、19は入力端子18から入力する有効データ期間信号を入力とするカウンタ部、20は任意の値を示す閾値、21はカウンタ部19の出力と閾値20を入力とする比較器、22は任意の値を示す閾値、22は後述するアップ・ダウンカウンタ23の初期値、23は比較器21の出力と初期値22を入力とするアップ・ダウンカウンタ、24は任意を示す閾値、25はアップ・ダウンカウンタ23の出力と閾値24を入力とする比較器である。カウンタ部19乃至比較器25により判定手段が構成される。

【0032】カウンタ部19は、入力端子18から入力するTS信号のうち有効データが入力されている期間を示す有効データ期間信号を用いて無効データが入力開始された時点を経点として受信クロックでカウントし、無効期間幅を受信クロックのカウント値として数値化する。数値化された無効期間幅は比較器21により任意の閾値20と比較され数値化された無効期間幅が大きい場合は無効データが入力される毎にアップ・ダウンカウンタ23をカウントアップさせ、小さい場合にはカウントダウンさせる。比較器25はアップ・ダウンカウンタ23のカウント値が任意の閾値24より小さい場合には従来例と同様の第1のLPF4を電圧信号が通過するようにスイッチ部6を切り替え、大きい場合には第1のLPF4と比べより低い帯域のみを通過させる第2のLPF5を電圧信号が通過するようにスイッチ部6を切り替える。なお、アップ・ダウンカウンタ23は、TSが入力され位相同期回路が同期処理を開始する毎に初期値を初期設定するものとする。

【0033】以上の動作により、TSデータが時間圧縮

されバースト的に伝送されることによりPCRの到着時刻に時間的ずれが生じるような信号が入力される場合、TS信号のうち有効データが入力されている期間を示す有効データ期間信号を用いて無効期間幅が任意の閾値20より大きい幅で到来する頻度が高くなるとアップ・ダウンカウンタのカウント23値が大きくなり、この値が任意の閾値24より大きくなると、判定手段はSTCの位相の揺らぎ（ジッタ）を生じさせるTSデータが入力されていると判定し、位相同期回路のループフィルタであるLPFを低感度である第2のLPF5に切り替える。これにより、位相同期回路は低感度な応答をする同期処理を行い位相の揺らぎを抑制できる。

【0034】実施の形態3. 図3はこの発明の実施の形態3であるMPEGデータ受信装置の位相同期回路を示すものである。同図において、26は減算器2の出力を入力とする第1の係数器、27は減算器2の出力を入力とする第2の係数器、28は比較器17の出力に基づき第1の係数器26の出力と第2の係数器27の出力とを切り替えるセレクトアであって、該セレクトアにより位相同期回路の応答感度を変更される。29はセレクトア28の出力と後述するDフリップフロップの出力を入力とする加算器、30は加算器29の出力を入力とするDフリップフロップである。判定手段については実施の形態1で説明したものと同様である。

【0035】第1の係数器26は減算器2の差分値に $0 < A < 1$ の係数Aを乗算し、第2の係数器27は $0 < B < A < 1$ の係数Bを乗算する。セレクトア28はアップ・ダウンカウンタ15のカウント値が任意の閾値16より小さい場合に第1の係数器で乗算された差分値を選択し、大きい場合に第2の係数器で乗算された差分値を選択する。加算器29はいずれか一方の係数で乗算された差分値と後述するDフリップフロップ30から出力する制御電圧のデジタル値を加算する。Dフリップフロップ30は加算器29から出力した制御電圧のデジタル値をPCRが入力される毎のタイミングで記憶する。D/A変換部3はDフリップフロップで記憶された値を電圧信号に変換してVCO7に印加する。

【0036】以上の動作により、TSデータが時間圧縮されバースト的に伝送されることによりPCRの到着時刻に時間的ずれが生じ、上記PCRとMPEGデコードの時刻標準となる同期信号の値であるSTCとの差分値の絶対値が任意の閾値12より大きく算出される確率が増えたとアップ・ダウンカウンタのカウント15の値が大きくなり、この値が任意の閾値16より大きくなると、判定手段は、STCの位相の揺らぎ（ジッタ）を生じさせるTSデータが入力されていると判定し、位相同期回路の第1の係数器26と加算器29とDフリップフロップ30で構成しているデジタルの巡回型ループフィルタの係数器をより小さな係数で乗算する第2の係数器に切り替える。これにより、位相同期回路は低感度な応

答をする同期処理を行い位相の揺らぎを抑制できる。

【0037】実施の形態4. 図4はこの発明の実施の形態4であるMPEGデータ受信装置の位相同期回路を示すものである。同図において、28は比較器25の出力に基づいて第1の係数器26の出力と第2の係数器27の出力とを切り替えるセレクトアであって、該セレクトアにより位相同期回路の応答感度が変更される。判定手段は実施の形態2と同様である。

【0038】セレクトア28はアップ・ダウンカウンタ23のカウンタ値が任意の閾値24より小さい場合に第1の係数器で乗算された差分値を選択し、大きい場合に第2の係数器で乗算された差分値を選択する。

【0039】以上の動作により、TSデータが時間圧縮されバースト的に伝送されることによりPCRの到着時刻に時間的ずれが生じるような信号が入力される場合、TS信号のうち有効データが入力されている期間を示す有効データ期間信号を用いて無効期間幅が任意の閾値20より大きい幅で到来する頻度が高くなるとアップ・ダウンカウンタのカウンタ23値が大きくなり、この値が任意の閾値24より大きくなると、判定手段はSTCの位相の揺らぎ（ジッタ）を生じさせるTSデータが入力されていると判定し、位相同期回路の第1の係数器26と加算器29とDフリップフロップ30で構成しているデジタルの巡回型ループフィルタの係数器をより小さな係数で乗算する第2の係数器に切り替える。これにより、位相同期回路は低感度な応答をする同期処理を行い位相の揺らぎを抑制できる。

【0040】実施の形態5. 図5はこの発明の実施の形態5であるMPEGデータ受信装置の位相同期回路を示すものである。同図において、31は絶対値算出部11の出力を入力とする平滑部、32は平滑部31の出力を入力とする制御信号発生部、33は制御信号発生部32の出力に基づき減算器2の出力に乗算する係数を変更する可変係数器であって、該可変係数器により位相同期回路の応答感度が変更される。29は可変係数器33の出力とDフリップフロップ30を加算する加算器である。絶対値算出部11、平滑部31及び制御信号発生部32により判定手段を構成する。

【0041】可変係数器33は減算器2の差分値に $0 < X < 1$ の係数Xを乗算する。係数Xは後述する制御信号発生部32より出力される制御信号により段階的に切り替えられる。加算器29は可変係数器で乗算された差分値と後述するDフリップフロップ30から出力する制御電圧のデジタル値を加算する。Dフリップフロップ30は加算器29から出力した制御電圧のデジタル値をPCRが入力される毎のタイミングで記憶する。D/A変換部3はDフリップフロップ30で記憶された値を電圧信号に変換してVCO7に印加する。

【0042】絶対値算出部11は、前記減算部2から出力される差分値の絶対値を算出し、平滑部31により任

意回数算出された差分値の絶対値を平滑する。制御信号発生部32は平滑部31から出力した値に応じた制御信号を発生させる。可変係数器33は平滑部31から出力する値が大きいかほど係数Xが小さくなるよう段階的に係数を切り替える。

【0043】以上の動作により、TSデータが時間圧縮されバースト的に伝送されることによりPCRの到着時刻に時間的ずれが生じ、上記PCRとMPEGデコードの時刻標準となる同期信号の値であるSTCとの差分値が算出され、その差分値の絶対値を任意回数分で平滑し、その値が大きくなると判定手段はSTCの位相の揺らぎ（ジッタ）を生じさせるTSデータが入力されていると判定し、位相同期回路の多段係数器33と加算器29とDフリップフロップ30で構成しているデジタルの巡回型ループフィルタの係数をその値に応じて段階的に切り替え、切り替えた係数を乗算するようにする。これにより、位相同期回路は入力されるTSデータの状態に応じた低感度な応答をするより細やかな同期処理を行うことができ位相の揺らぎが抑制される。なお、本実施の形態では、制御信号発生部32の出力に基づき可変係数器33の乗算係数を切り替える場合について説明したが、位相同期回路を実施の形態1のように構成し、LPFの通過帯域を切り替え制御するように構成してもよい。

【0044】実施の形態6. 図6はこの発明の実施の形態6であるMPEGデータ受信装置の位相同期回路を示すものである。同図において、34はカウンタ部19の出力を入力とする平滑部、35は平滑部34の出力を入力とする制御信号発生部、33は制御信号発生部35の出力に基づき、減算器2の出力に乗算する係数を変更する可変係数器であって、該可変係数器により位相同期回路の応答感度が変更される。カウンタ部19、平滑部34及び制御信号発生部35により判定手段を構成する。

【0045】平滑部34は、カウンタ部19でカウントしたTS信号のうち有効データが入力されている期間を示す有効データ期間信号を用いて無効データが入力開始された時点とを起点として受信クロックでカウントし数値化された無効期間幅を無効データが到来した任意回数分で平滑する。制御信号発生部35は平滑部34から出力した値に応じて制御信号を発生させる。可変係数器33は平滑部35から出力する値が大きいかほど係数Xが小さくなるよう段階的に係数を切り替える。

【0046】以上の動作により、TSデータが時間圧縮されバースト的に伝送されることによりPCRの到着時刻に時間的ずれが生じるような信号が入力される場合、TS信号のうち有効データが入力されている期間を示す有効データ期間信号を用い、無効期間幅を所定数集めて平滑化する。そして、その値が大きくなると判定手段はSTCの位相の揺らぎ（ジッタ）を生じさせるTSデータが入力されていると判定し、位相同期回路の可変係数

器33と加算器29とDフリップフロップ30で構成しているデジタルの巡回型ループフィルタの係数をその値に応じて段階的に切り替え、切り替えた係数を乗算する。これにより、位相同期回路は入力されるTSデータの状態に応じた低感度な応答をするよりきめ細やかな同期処理が行え、位相の揺らぎを抑制できる。なお、本実施の形態では、制御信号発生部35の出力に基づき可変係数器33の乗算係数を切り替える場合について説明したが、位相同期回路を実施の形態2のように構成し、LPPFの通過帯域を切り替え制御するように構成してもよい。

【0047】実施の形態7. 図7はこの発明の実施の形態7であるMPEGデータ受信装置の位相同期回路を示すものである。同図において、34はカウンタ部19の出力を入力とする平滑部、36は平滑部34の出力を入力とする時刻ずれ量算出部、37はカウンタ部9からの出力であるSTCと時刻ずれ量算出部36の出力を入力とする加算器、10は加算器37から出力する補正されたSTCを後段に出力する出力端子である。平滑部34、時刻ずれ量算出部36、加算器37以外の構成は実施の形態2と同様であるので詳しい説明は省略する。

【0048】平滑部34は、カウンタ部19でカウントしたTS信号のうち有効データが入力されている期間を示す有効データ期間信号を用いて無効データが入力開始された時点を中心として受信クロックでカウントし数値化された無効期間幅を無効データが到来した任意回数分で平滑する。時刻ずれ量算出部36は、平滑部34から出力される数値化された無効期間幅よりTSデータが時間圧縮されバースト的に伝送されることで生じるPCRの到着時刻の時間的ずれを算出し、この時間的ずれを受信クロックのカウント値に換算して出力する。加算器37はカウンタ9から出力したSTCと時刻ずれ量算出部36から出力する受信クロックのカウント値に換算した時間的ずれを加算し、補正したSTCとして後段に出力する補正手段として機能する。

【0049】以上の動作により、TSデータが時間圧縮されバースト的に伝送されることによりPCRの到着時刻に時間的ずれが生じるような信号が入力される場合、TS信号のうち有効データが入力されている期間を示す有効データ期間信号を用いて無効期間幅が一定の閾値20より大きい幅で到来する頻度が高くなるとアップ・ダウンカウンタのカウント23値が大きくなり、この値が任意の閾値24より大きくなると、判定手段はSTCの位相の揺らぎ(ジッタ)を生じさせるTSデータが入力されていると判定し、位相同期回路のループフィルタであるLPPFを低感度である第2のLPPF5に切り替える。また、無効期間幅を無効データが到来した任意回数分で平滑し(平滑部34)、この値をもとに位相同期回路により発生させたSTCの時刻ずれ量を算出(時刻ずれ量算出部36)して補正値を加算器37において加算

する。これらの動作により位相同期回路は低感度な応答をする同期処理を行い位相の揺らぎを抑制でき、また、位相同期回路で発生したSTCの時刻ずれを補正してMPEGデコード処理できる。

【0050】実施の形態8. 図8はこの発明の実施の形態8であるMPEGデータ受信装置の位相同期回路を示すものである。図から明らかなように、平滑部34、時刻ずれ量算出部36、加算器37を除く構成は実施の形態4において説明した図4と同様である。

【0051】動作については上述した実施の形態4及び7で説明したのと同様であり、以下、簡単に説明する。TSデータが時間圧縮されバースト的に伝送されることによりPCRの到着時刻に時間的ずれが生じるような信号が入力される場合、TS信号のうち有効データが入力されている期間を示す有効データ期間信号を用いて無効期間幅が任意の閾値20より大きい幅で到来する頻度が高くなるとアップ・ダウンカウンタのカウント23値が大きくなり、この値が任意の閾値24より大きくなると、判定手段はSTCの位相の揺らぎ(ジッタ)を生じさせるTSデータが入力されていると判定し、位相同期回路の第1の係数器26と加算器29とDフリップフロップ30で構成しているデジタルの巡回型ループフィルタの係数器をより小さな係数で乗算する第2の係数器に切り替える。また、無効期間幅を無効データが到来した任意回数分で平滑し、この値をもとに位相同期回路により発生させたSTCの時刻ずれ量を算出し、この補正値を加算器37において加算する。これらの動作により位相同期回路は低感度な応答をする同期処理を行い位相の揺らぎを抑制できるとともに、位相同期回路で発生したSTCの時刻ずれを補正してMPEGデコード処理できる。

【0052】実施の形態9. 図9はこの発明の実施の形態9であるMPEGデータ受信装置の位相同期回路を示すものである。図から明らかなように、時刻ずれ量算出部36、加算器37を除く構成は実施の形態6において説明した図6と同様である。

【0053】動作については上述した実施の形態6及び7で説明したのと同様であり、以下、簡単に説明する。TSデータが時間圧縮されバースト的に伝送されることによりPCRの到着時刻に時間的ずれが生じるような信号が入力される場合、TSデータのうち有効データが入力されている期間を示す有効データ期間信号を用い、無効期間幅を所定数集めて平滑化する。そして、その値が大きくなると判定手段はSTCの位相の揺らぎ(ジッタ)を生じさせるTSデータが入力されていると判定し、位相同期回路の多段係数器33と加算器29とDフリップフロップ30で構成しているデジタルの巡回型ループフィルタの係数をその値に応じて段階的に切り替え、切り替えた計数で乗算する。また、無効期間幅を無効データが到来した任意回数分で平滑し、この値をもと



に位相同期回路により発生したSTCの時刻ずれ量を算出し、その補正値を加算器37において加算する。これらの動作により位相同期回路は入力されるTSデータの状態に応じた低感度な応答をする同期処理を行い位相の揺らぎを抑制でき、また、位相同期回路で発生したSTCの時刻ずれを補正してMPEGデコード処理できる。

【0054】なお、実施の形態1～9では、入力信号をTSとしてTS信号内に含まれているPCRを抽出、処理することで説明しているが、入力信号をプログラムストリームとしてプログラムストリーム内に含まれるSCRを抽出、処理することでも同様の効果が得られる。また、上記実施の形態7～9では実施の形態2、4、6の位相同期回路に対してSTC補正用の回路(平滑部34、時刻ずれ量算出部、加算器37)を設けたものを説明したが、実施の形態1、3、5の位相同期回路に対して設けるようにしてもよいのは当然である。すなわち、例えば図1、図3、図5の位相同期回路において、有効データ期間信号入力端子18、カウンタ部19、平滑部34、時刻ずれ量算出部、加算器37を追加し、VCO7の出力をカウンタ19にも入力させ、減算器2から出力端子10までの間に加算器37を介在させるように接続する。

【0055】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0056】本発明に係る位相同期回路によれば、デコードで使用するクロックに位相揺らぎ(ジッタ)を生じさせる信号が入力されている場合には、位相同期回路の応答感度を低感度に切り替えるように構成しているので、位相の揺らぎを抑制し、クロック信号の急激な変化を防止することができ、安定したデコード動作を行える効果がある。

【0057】また、本発明に係る位相同期回路によれば、クロックに含まれる時間的オフセットを除去することができるので、従来、時間的オフセットを持った状態でデコードされていたデコード処理が、本来の時刻でのデコード処理となり、データの再生において正確な同期をとることができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1を示す位相同期回路

図である。

【図2】 この発明の実施の形態2を示す位相同期回路図である。

【図3】 この発明の実施の形態3を示す位相同期回路図である。

【図4】 この発明の実施の形態4を示す位相同期回路図である。

【図5】 この発明の実施の形態5を示す位相同期回路図である。

【図6】 この発明の実施の形態6を示す位相同期回路図である。

【図7】 この発明の実施の形態7を示す位相同期回路図である。

【図8】 この発明の実施の形態8を示す位相同期回路図である。

【図9】 この発明の実施の形態9を示す位相同期回路図である。

【図10】 従来のMPEGデコードを使用したデジタル衛星放送受信機を示す図である。

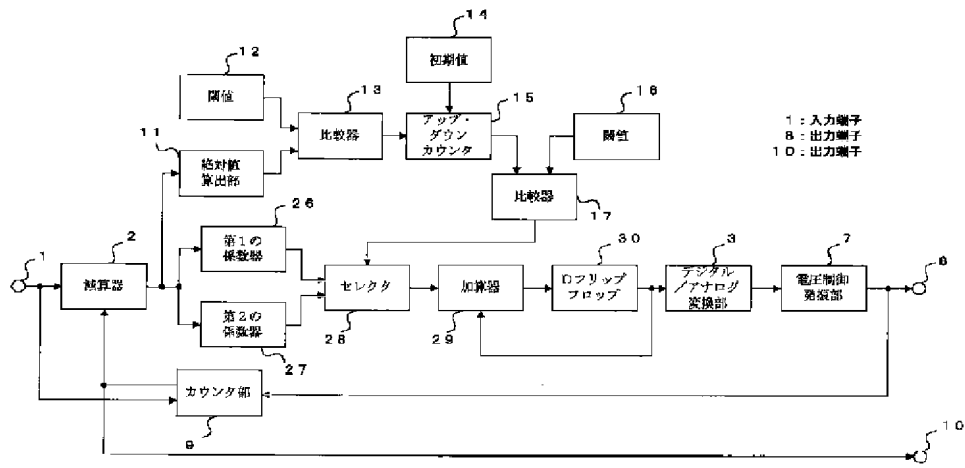
【図11】 従来の位相同期回路図である。

【符号の説明】

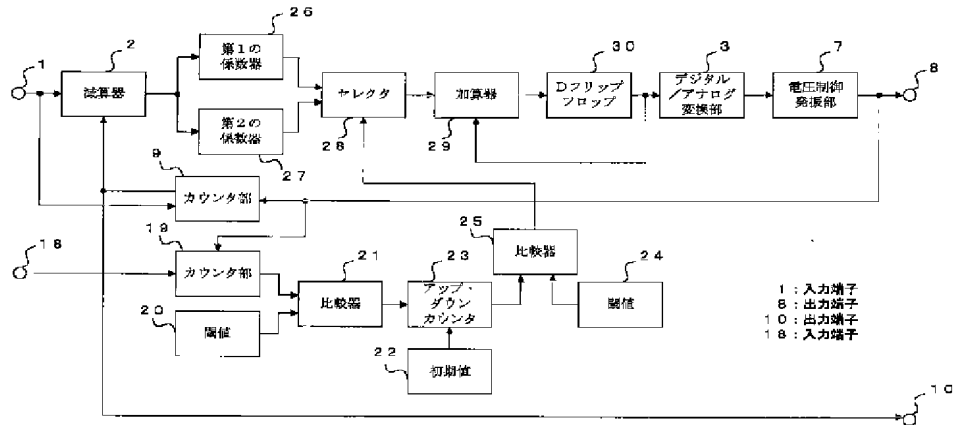
1 入力端子、2 減算器、3 デジタル／アナログ変換器、4 第1のローパスフィルタ、5 第2のローパスフィルタ、6 スイッチ、7 電圧制御発振部、8 出力端子、9 カウンタ部、10 出力端子、11 絶対値算出部、12 閾値、13 比較器、14 初期値、15 アップ・ダウンカウンタ、16 閾値、17 比較器、18 入力端子、19 カウンタ部、20 閾値、21 比較器、22 初期値、23 アップ・ダウンカウンタ、24 閾値、25 比較器、26 第1の係数器、27 第2の係数器、28 セレクタ、29 加算器、30 Dフリップフロップ、31 平滑部、32 制御信号発生部、33 可変係数器、34 平滑部、35 制御信号発生部、36 時刻ずれ量算出部、37 加算器、101 入力端子、102 チューナ・モジュール、103 デスクランブラ、104 MPEGデマルチプレкса、105 MPEGビデオデコード、106 MPEGオーディオデコード、107 NTSCエンコード、108 出力端子、109 D/Aコンバータ、110 出力端子、111 制御用CPU。



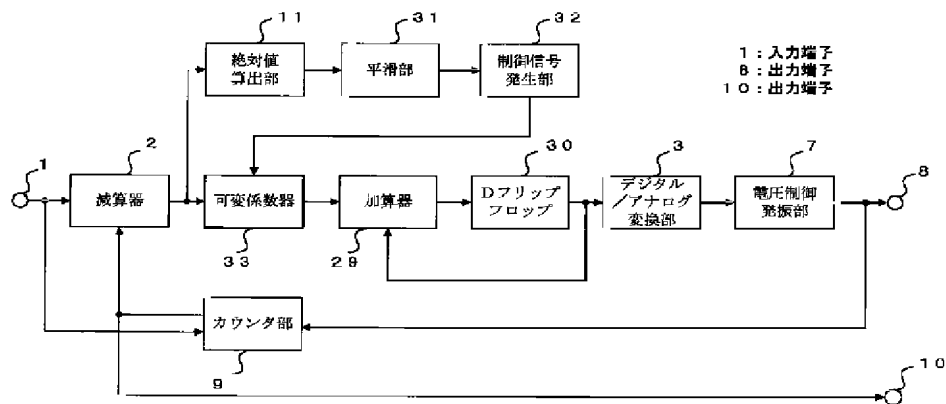
【図3】



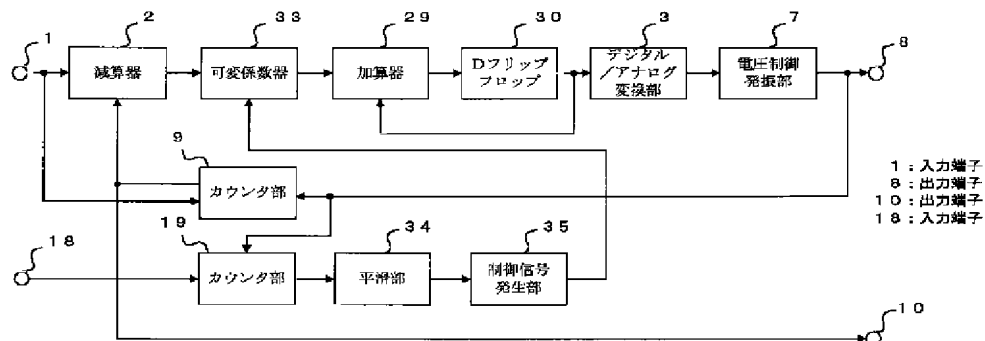
【図4】



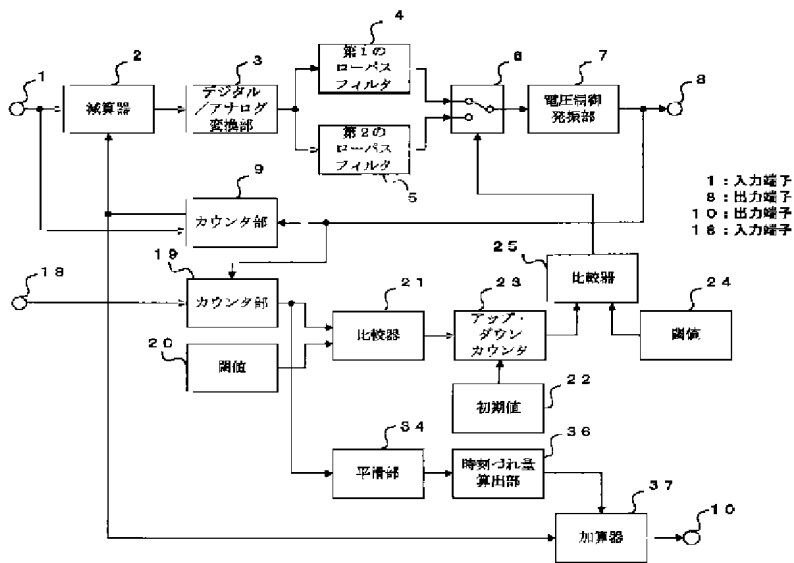
【図5】



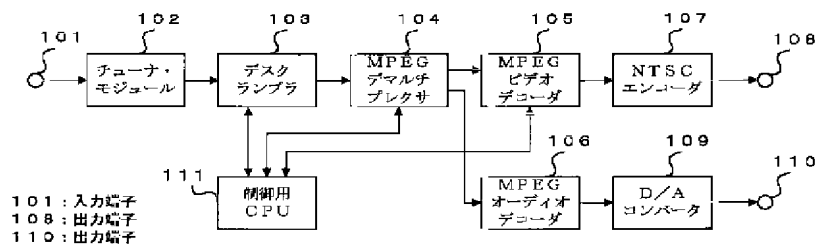
【図6】



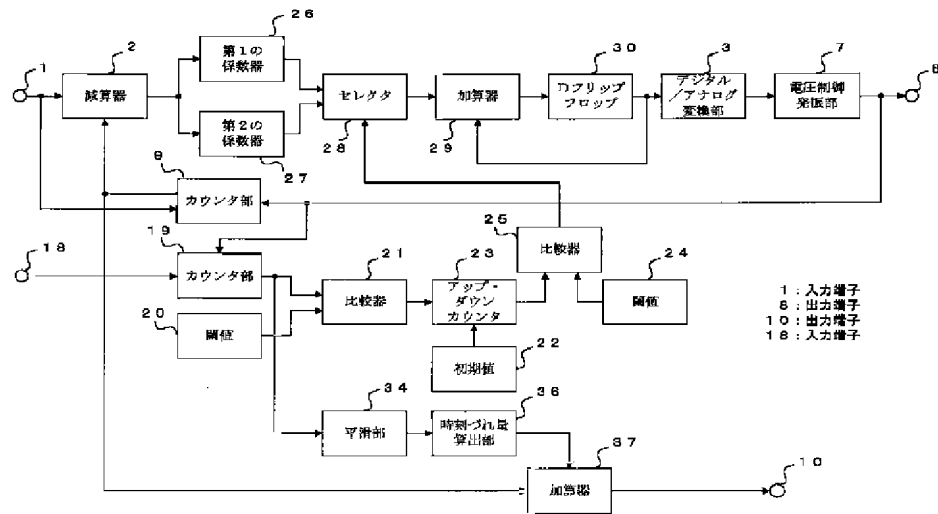
【図7】



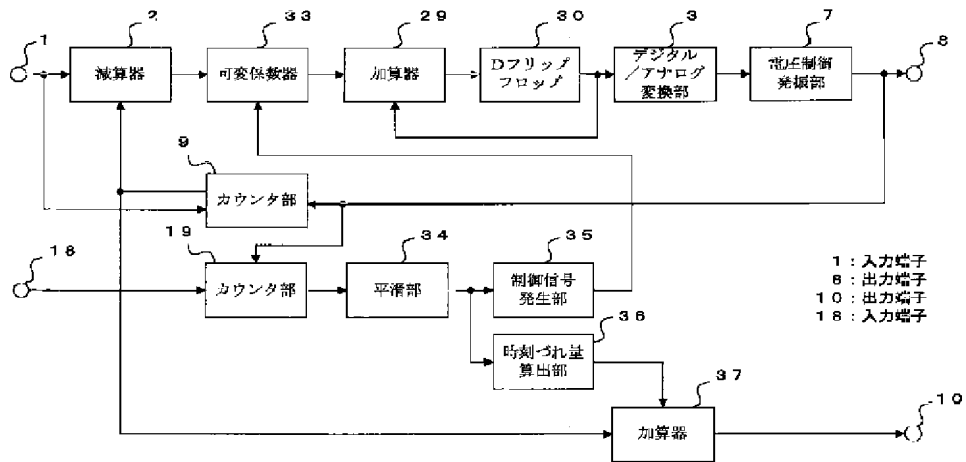
【図10】



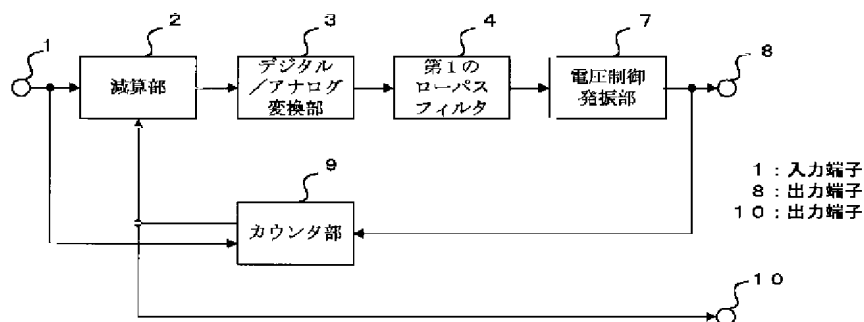
【図8】



【図9】



【図11】



フロントページの続き

F ターム(参考) 5J106 AA04 BB02 BB04 CC01 CC26  
CC38 CC41 CC52 DD09 DD19  
DD36 DD44 EE10 FF02 GG07  
HH10 JJ09 KK05 KK25 LL07  
5K047 AA06 CC08 GG09 GG45 MM33  
MM35 MM46 MM50 MM58 MM63